

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-023437

(43)Date of publication of application : 24.01.2003

(51)Int.Cl. H04L 12/46
H04L 12/56

(21)Application number : 2001-210161

(71)Applicant : NEC CORP

(22)Date of filing : 11.07.2001

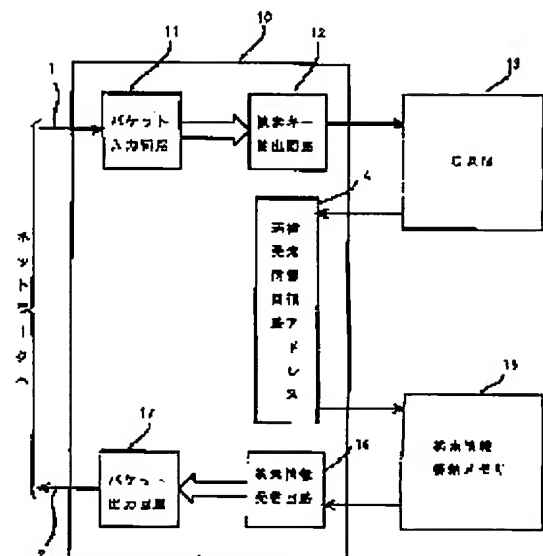
(72)Inventor : KAGANOI HARUHIRO
SHIZUME MASARU
IKEGAI YASUYUKI

(54) PACKET-PROCESSING UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a packet-processing unit that can carry out processings, such as address resolutions or the like of packets, using a simple configuration and at a high speed.

SOLUTION: A packet input circuit 11 divides packets received from a transmission line 1 into cells with a prescribed length and provides an output of the cells, a retrieval key extract circuit 12 extracts a prescribed retrieval key from the cells, a CAM 13 (content addressable memory) retrieves an address on the basis of the retrieval key and outputs the corresponding memory address, a retrieval information address transmission reception circuit 14 calculates the memory address of a retrieval information storage memory 15, on the basis of the memory address and outputs information stored in the memory address of the retrieval information storage memory 15 as the retrieval information, a retrieval information reception circuit 16 receives the retrieval information to update a header of the cells and carries out address resolution and a packet output circuit 17 assembles the cells into a packet and outputs it to a transmission line 2.



10/12

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-23437

(P 2 0 0 3 - 2 3 4 3 7 A)

(43) 公開日 平成15年1月24日 (2003.1.24)

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
H04L 12/46		H04L 12/46	A 5K030
	100		Z 5K033
12/56	100	12/56	Z

審査請求 有 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願2001-210161 (P2001-210161)

(22) 出願日 平成13年7月11日 (2001.7.11)

特許法第30条第1項適用申請有り 2001年3月2日 社団法人電子情報通信学会発行の「電子情報通信学会技術研究報告 信学技報 Vol.100 No.670」に発表

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 加賀野井 晴大

千葉県我孫子市日の出1131 日本電気株式会社NECネットワークスIPネットワーク事業部内

(74) 代理人 100099726

弁理士 大塚 秀一

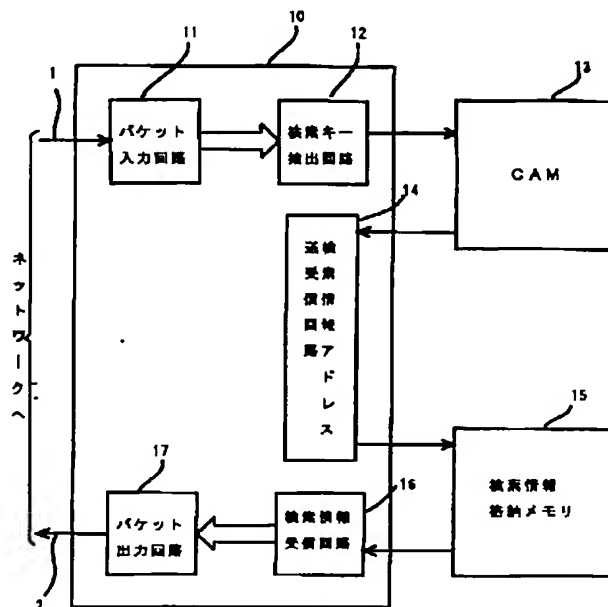
最終頁に続く

(54) 【発明の名称】 パケット処理装置

(57) 【要約】

【課題】 パケットの宛先解決等の処理を、簡単な構成で、高速に行なえるようにすること。

【解決手段】 パケット入力回路11は伝送路1から受信したパケットを所定長のセルに分割して出力し、検索キー抽出回路12は前記セルから所定の検索キーを抽出し、CAM13は前記検索キーに基づく検索を行って、対応するメモリアドレスを出力し、検索情報アドレス送受信回路14は前記メモリアドレスに基づいて検索情報格納メモリ15のメモリアドレスを算出し、前記検索情報格納メモリ15の前記メモリアドレスに記憶された情報を検索情報として出力し、検索情報受信回路16は前記検索情報を受信して、前記セルのヘッダ更新や宛先解決を行い、パケット出力回路17は前記セルをパケットにして伝送路2へ出力する。



【特許請求の範囲】

【請求項 1】 伝送路から受信したパケットの宛先解決を行った後に前記伝送路へ前記パケットを出力するパケット処理装置において、

前記伝送路を介して受信したパケットを所定長のセルに分割して出力するパケット受信手段と、

前記パケット受信手段から受信した前記セルから所定の検索キーを抽出する検索キー抽出手段と、

前記検索キー抽出手段で抽出した前記検索キーに基づく検索を行って、前記キーに対応するメモリアドレスを出力する CAM と、

少なくとも宛先情報を記憶し、入力されたメモリアドレスに記憶した情報を出力する検索情報記憶手段と、

前記 CAM から受信した前記メモリアドレスに基づいて前記検索情報記憶手段のメモリアドレスを算出し、前記検索情報記憶手段に供給する検索情報読み出し手段と、前記検索情報読み出し手段で読み出した前記検索情報記憶手段の情報に基づいて、当該セルの宛先解決を行う宛先解決手段と、

前記宛先解決手段からのセルをパケット戻して前記伝送路へ出力するパケット出力手段とを備えて成り、

前記パケット受信手段、検索キー抽出手段、CAM、検索情報記憶手段、検索情報読み出し手段、宛先解決手段、パケット出力手段はパイプライン処理を行うことを特徴とするパケット処理装置。

【請求項 2】 前記パケット受信手段、検索キー抽出手段、CAM、検索情報記憶手段、検索情報読み出し手段、宛先解決手段、パケット出力手段の各ステージは、前記パケット受信手段に入力されるパケットの到達間隔以下に設定されていることを特徴とする請求項 1 記載のパケット処理装置。

【請求項 3】 前記パケット受信手段、検索キー抽出手段、CAM、検索情報記憶手段、検索情報読み出し手段、宛先解決手段、パケット出力手段の処理時間は各ステージの時間よりも短く設定されていることを特徴とする請求項 2 記載のパケット処理装置。

【請求項 4】 前記ステージの空き時間に前記 CAM 及び検索情報記憶手段の少なくとも一方の保守を行う保守手段を備えて成ることを特徴とする請求項 3 記載のパケット処理装置。

【請求項 5】 前記伝送路と前記パケット受信手段の間、及び、前記伝送路と前記パケット出力手段の間に、タイミング調整用のバッファ手段を備えて成ることを特徴とする請求項 1 乃至 4 のいずれかに記載のパケット処理装置。

【請求項 6】 前記パケット受信手段の後段と前記パケット出力手段の前段の少なくとも一方に前記セルに対する所定の処理を行う演算処理手段を備えて成ることを特徴とする請求項 1 乃至 5 のいずれかに記載のパケット処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ルータなどにおいてパケットの宛先解決等を行うパケット処理装置に関する。

【0002】

【従来の技術】 従来から、ルータなどにおいて、パケットの宛先解決等を行うために、パケット処理装置が使用されている。従来、パケット処理装置において、パケットの宛先解決処理、QoS 情報の解決処理、あるいは、必要に応じてパケットヘッダの更新処理等を、ソフトウェア処理によって行う方法がある。

【0003】

【発明が解決しようとする課題】 パケットの宛先解決等をソフトウェア処理によって行う方法では、高速な処理を実現できないという問題がある。この問題を解決する方法として、ハードウェア構成によって実現する方法が考えられる。

【0004】 しかしながら、ハードウェアで実現する場合、マルチプロトコル、マルチレイヤの処理を行うためには、例えば、パケットフローを識別するためにマルチフィールドによって分類を行うテーブルである MF (Multi Field) Classify テーブル、フローを意識したフォワードを行うためのフロー宛先解決テーブル等の複数の検索テーブルを実装する必要があり、単に、その各々を個別に処理するための回路やテーブルを用意するような構成では、回路規模の増加を招いてしまうという問題がある。

【0005】 本発明は、パケットの宛先解決等の処理を、簡単な構成で、高速に行なえるようにすることを課題としている。

【0006】

【課題を解決するための手段】 本発明によれば、伝送路から受信したパケットの宛先解決を行った後に前記伝送路へ前記パケットを出力するパケット処理装置において、前記伝送路を介して受信したパケットを所定長のセルに分割して出力するパケット受信手段と、前記パケット受信手段から受信した前記セルから所定の検索キーを抽出する検索キー抽出手段と、前記検索キー抽出手段で抽出した前記検索キーに基づく検索を行って、前記キーに対応するメモリアドレスを出力する CAM と、少なくとも宛先情報を記憶し、入力されたメモリアドレスに記憶した情報を出力する検索情報記憶手段と、前記 CAM から受信した前記メモリアドレスに基づいて前記検索情報記憶手段のメモリアドレスを算出し、前記検索情報記憶手段に供給する検索情報読み出し手段と、前記検索情報読み出し手段で読み出した前記検索情報記憶手段の情報に基づいて、当該セルの宛先解決を行う宛先解決手段と、前記宛先解決手段からのセルをパケット戻して前記伝送路へ出力するパケット出力手段とを備えて成り、前

記バケット受信手段、検索キー抽出手段、CAM、検索情報記憶手段、検索情報読み出し手段、宛先解決手段、バケット出力手段はパイプライン処理を行うことを特徴とするバケット処理装置が提供される。

【0007】バケット受信手段は、前記伝送路を介して受信したバケットを所定長のセルに分割して出力する。検索キー抽出手段は、前記バケット受信手段から受信した前記セルから所定の検索キーを抽出する。CAMは、前記検索キー抽出手段で抽出した前記検索キーに基づく検索を行って、前記キーに対応するメモリアドレスを出力する。検索情報読み出し手段は、前記CAMから受信した前記メモリアドレスに基づいて前記検索情報記憶手段のメモリアドレスを算出し、前記検索情報記憶手段に供給する。宛先解決手段は、前記検索情報読み出し手段で読み出した前記検索情報記憶手段の情報に基づいて、当該セルの宛先解決を行う。バケット出力手段は、前記宛先解決手段からのセルをバケット戻して前記伝送路へ出力する。このとき、前記バケット受信手段、検索キー抽出手段、CAM、検索情報記憶手段、検索情報読み出し手段、宛先解決手段、バケット出力手段はパイプライン処理を行う。

【0008】ここで、前記バケット受信手段、検索キー抽出手段、CAM、検索情報記憶手段、検索情報読み出し手段、宛先解決手段、バケット出力手段の各ステージは、前記バケット受信手段に入力されるバケットの到達間隔以下に設定されているように構成してもよい。また、前記バケット受信手段、検索キー抽出手段、CAM、検索情報記憶手段、検索情報読み出し手段、宛先解決手段、バケット出力手段の処理時間は各ステージの時間よりも短く設定されているように構成してもよい。

【0009】また、前記ステージの空き時間に前記CAM及び検索情報記憶手段の少なくとも一方の保守を行う保守手段を備えて成るように構成してもよい。また、前記伝送路と前記バケット受信手段の間、及び、前記伝送路と前記バケット出力手段の間に、タイミング調整用のバッファ手段を備えて成るように構成してもよい。また、前記バケット受信手段の後段と前記バケット出力手段の前段の少なくとも一方に前記セルに対する所定の処理を行う演算処理手段を備えて成るように構成してもよい。

【0010】

【発明の実施の形態】図1は、本発明の第1の実施の形態に係るバケット処理装置のブロック図である。本第1の実施の形態に係るバケット処理装置を備える装置として、例えば、ルータがあげられる。図1において、11はバケット受信手段としてのバケット入力回路、12は検索キー抽出手段としての検索キー抽出回路、13はパイプライン検索が可能なCAM (Content Addressable Memory)、14は検索情報抽出手段としての検索情報アドレス送受信回路、15は検索情報記憶手段としての検

索情報格納メモリ、16は宛先解決手段としての検索情報受信回路、17はバケット出力手段としてのバケット出力回路で、いずれもハードウェアによって構成されている。

【0011】ここで、CAM13はメモリ機能のみならず検索機能を有しており、CAM13に予め記憶されているデータと同一のデータをCAM13に入力すると、CAM13は該データが記憶されているCAM13のアドレスを出力する。CAM13は、LPM (Longest Prefix Match) 検索、様々な検索ビット幅による検索が可能であり、検索キーの種類やビット幅に依存しないで高速な検索が可能である。また、CAM13の記憶データが増加した場合にも検索性能の劣化がないという特性を有しているため、CAM13のデータ量が多量の場合にも、迅速な検索が可能である。

【0012】一方、検索情報格納メモリ15には、バケットの宛先情報やクラス情報等が格納されている。尚、バケット入力回路11、検索キー抽出回路12、検索情報アドレス送受信回路14、検索情報受信回路16、バケット出力回路17は、バケット処理手段としてのバケット処理部10を構成している。バケット入力回路11は、例えば、IP (Internet Protocol) バケットのような可変長のバケットを受信して、ATM (Asynchronous Transfer Mode) セルのように固定長に区切られた形態の信号を出力する。ここで、バケット入力回路11から出力される信号を今後セルと呼ぶことにする。

【0013】バケット入力回路11から出力されたセルは、1ステージあたりnクロックのパイプラインで、バケット処理装置の各構成要素 (バケット入力回路11、検索キー抽出回路12、CAM13、検索情報アドレス送受信回路14、検索情報格納メモリ15、検索情報受信回路16、バケット出力回路17) の各ステージを切り替えながら処理が行われる。

【0014】IPバケットなどの宛先情報やQoSの情報も多くの場合ヘッダ部分に格納されているので、仮にセルよりも大きいサイズのバケットがバケット入力回路11に入力され、バケット入力回路11から複数のセルに分割されて出力される場合、各ステージにおいては先頭のセルについてのみ処理を行い、2番目以降のセルについては特に何の処理もする必要はない。従って、以降の処理は先頭セルについてのみ行われ、後続する他のセルについては何の処理もせずにパイプラインの各ステージが切り替わる。

【0015】まず、検索キー抽出回路12は、バケット入力回路11から受信したセルの中から必要な検索キーを抽出し、次に、前記検索キーをパイプライン検索が可能なCAM13に入力することにより、CAM13で検索が実行される。ここで、検索キーは、バケットをどこへ転送するかを解決したり、どのような種類のバケットが転送されてきたのか等を詳細に識別 (Classification

n) するためのキーであり、例えばIPバケットの場合、ヘッダの宛先アドレス、送信元アドレス、プロトコルタイプ、サービスタイプ等のフィールドが検索キーとして使用される。

【0016】CAM13は、検索キー抽出回路12から入力された検索キーに基づいて検索処理を行い、検索の結果ヒットしたCAM13のメモリアドレス（検索キーが記憶されているCAM13のメモリアドレス）を出力する。検索情報アドレス送受信回路14は、CAM13から前記メモリアドレスを受信し、前記メモリアドレスから、実際の検索情報が格納されている検索情報格納メモリ15のメモリアドレスを、CAM13のアドレスと検索情報格納メモリ15のアドレスとを予め関連付けた規則に基づいて算出する。

【0017】そして、検索情報アドレス送受信回路14が該メモリアドレスを検索情報格納メモリ15に与えることにより、検索情報メモリアドレス15から、実際の検索情報が得られることになる。即ち、検索情報格納メモリ15は、検索情報アドレス送受信回路14から入力された前記メモリアドレスに記憶しているデータ（検索情報）を検索情報受信回路16に出力する。検索情報受信回路16は、前記検索情報に基づいて、バケット（直接的にはセル）に対して必要なヘッダ更新や宛先の解決を行った後、バケット出力回路17に出力する。バケット出力回路17は、入力回路11によって分割された複数のセルを合成して一つのバケットとし、該更新されたバケットをネットワークに出力する。

【0018】nクロックによって構成されるパイプラインの1ステージを、最短のバケット到着間隔（固定長セルサイズに等しい）と同じかそれよりも小さい値にすることにより、本構成のパイプラインでバケット入力回路11から連続的にバケットが到着したとしても、滞ることなくそのままの速度でバケット処理が可能となる。また1ステージあたりnクロックのパイプラインとすることにより、検索キー抽出回路12、CAM13での検索処理が1バケットあたり1回の検索に限らずに複数回の検索を行うことができ、1つのバケットに対して単一の処理ではなく複数の処理を実行するために必要な情報を得ることができる。

【0019】更に、前記パイプライン構成を実際にバケット入力回路11からバケットが到着する速度よりも少し速く動作させることにより、定期的にパイプライン処理の各ステージに空き時間を作ることが可能になり、前記空き時間を使って、図示しない保守手段により、CAM13や外部メモリ15に記憶したデータの点検や更新等の保守を行うことが可能になる。

【0020】図2は、図1に示すバケット処理装置のタイミング図である。図2では、説明を簡単にするために3つのセルが連続して到着している場合の図を示している。また、パイプラインのクロックサイクル（1ステー

ジあたりのクロック数n）は8クロックとしている。処理の全体は、符号11～符号17で示す7つのパイプラインステージで構成されており、符号11～符号17は、各々、バケット処理装置の構成要素である図1のバケット入力回路11～バケット出力回路17中の対応する符号を有する構成要素の処理を表している。以下、図1及び図2を用いて本第1の実施の形態の動作を詳細に説明する。

【0021】バケット入力回路11は伝送路1を介してネットワークからバケットを受信し、受信したバケットを所定長にのセルに分割して出力する。本実施の形態では、前記セルは8クロック分の長さになる。前記セルは、その後も8クロックのパイプラインで検索キー抽出回路12～バケット出力回路17の各ステージを切り替えながら処理が行われる。

【0022】まず、バケット入力回路11でバケットを受信しつつどのようなバケットを受信したかとそれに必要となる検索キーがどのようなものかを決定する。バケット種別の判別方法としては、例えば、IPバケットをカプセル化したイーサネット（登録商標）フレームの場合、イーサネットのヘッダ中のフィールド（Payload Type）を判別することにより、IPバケットであることを判別することができる。また、検索キーとしては、前述したように、例えばIPバケットの場合、ヘッダの宛先アドレス、送信元アドレス、プロトコルタイプ、サービスタイプ等のフィールドがある。

【0023】次に検索キー抽出回路12でセルの中から必要な検索キーを抽出し、CAM13に前記検索キーを出力して検索指示を与える。ここで、CAM13はパイプライン検索すなわち各クロックに応答して検索を行うことが可能なものを前提としている。従って検索キー抽出回路12が処理を行うステージでは、1種類の検索キーを抽出するだけでなく、1ステージ内に収まる範囲（本実施の形態では1ステージあたり8クロックであるため最大8回の検索が可能）で複数種類の検索キーを抽出し、CAM13に検索指示を与えることもできる。更に検索種類を増やしたい場合には、検索キー抽出回路12が処理を行うステージの数を増やすか、パイプラインクロックのサイクル数nを増やせばよい。

【0024】CAM13は、検索キー抽出回路12から検索キーを受信して、m（m：自然数）クロックのレイテンシをもって検索の結果ヒットしたアドレスを送出するので、検索情報アドレス送受信回路14はそれを受信し実際の検索情報が格納されている検索情報格納メモリ15のアドレス（検索情報アドレス）を算出し、該検索情報アドレスを検索情報格納メモリ15に与える。検索キー抽出回路12の処理ステージ12で複数種類の検索を実行した場合には、それぞれの検索に対して上記動作が繰り返される。

【0025】ここで、検索キー抽出回路12からCAM

13 への検索キーの引き渡し処理と CAM 13 から検索情報アドレス送受信回路 14 への検索情報アドレスの出力処理、さらに前記検索情報アドレスを元にした検索情報メモリ 15 への検索情報の読み出し指示が並列に実行されるため、無駄なく常に検索処理を行うことが可能となる。

【0026】 検索の結果得られた検索情報は、検索情報格納メモリ 15 から検索情報受信回路 16 に出力され、検索情報受信回路 16 は、前記検索情報に基づいて、パケット（直接的にはセル）に対して必要なヘッダ更新や宛先の解決を行う。ここで、検索キー抽出回路 12 において複数種類の検索指示が与えられている場合、検索情報としても複数種類得ることができるので、その各々の検索結果得られる検索情報に応じた処理を行ってもよいし、複数種類の検索情報を合わせてあるいは、優先度を付けて必要な処理を実行してもよい。

【0027】 そして最後に、更新されたパケットがパケット出力回路 17 から、伝送路 2 を介してネットワークへ出力される。図 2 では 3 つのセルが連続して到着しているが、例えばこのうち最初に到着したセルと 2 番目に到着したセルで 1 つのパケットを構成している場合には、パケット入力回路 11 または検索キー抽出回路 12 のステージにおいて、先頭セルかどうかを判別し、先頭セルでない場合には上記処理は行わずに各パイプラインステージが切り替わるだけとなる。更に、このパイプライン構成を、実際にパケット入力回路 11 からパケットが到着する速度よりも少し速く動作させることにより、定期的にパイプライン処理に空き時間（ステージ）を作ることが可能になり、前記空き時間を使って図示しない保守手段により、CAM 13 や外部メモリ 15 の保守を行うことが可能になる。

【0028】 以上述べたように、本第 1 の実施の形態に係るパケット処理装置は、特に、伝送路から受信したパケットの宛先解決を行った後に前記伝送路へ前記パケットを出力するパケット処理装置において、伝送路 1 を介して受信したパケットを所定長のセルに分割して出力するパケット入力回路 11 と、パケット入力回路 11 から受信した前記セルから所定の検索キーを抽出する検索キー抽出回路 12 と、検索キー抽出回路 12 で抽出した前記検索キーに基づく検索を行って、前記キーに対応するメモリアドレスを出力する CAM 13 と、少なくとも宛先情報を記憶し、入力されたメモリアドレスに記憶した情報を出力する検索情報格納メモリ 15 と、CAM 13 から受信した前記メモリアドレスに基づいて、CAM 13 の前記メモリアドレスに対応する検索情報格納メモリ 15 のメモリアドレスを算出し、検索情報格納メモリ 15 に供給する検索情報アドレス送受信回路 14 と、検索情報アドレス送受信回路 14 で読み出した検索情報格納メモリ 15 の情報に基づいて、当該セルの宛先解決を行う検索情報受信回路 16 と、検索情報受信回路 16 からの

セルを合成することによってパケットを生成し伝送路 2 へ出力するパケット出力回路 17 とを備えて成り、パケット入力回路 11、検索キー抽出回路 12、CAM 13、検索情報格納メモリ 15、検索情報アドレス送受信回路 14、検索情報受信回路 16、パケット出力回路 17 はパイプライン処理を行うことを特徴としている。

【0029】 したがって、 n クロックを最短のパケット到着間隔（固定長セルサイズ）と同じかそれよりも小さい値にすれば、本構成のパイプラインでパケット入力回路 11 から連続的にパケットが到着したとしても滞ることなくそのままの速度でパケット処理が可能となり、例えば超高速ルータのフォワーディングエンジンとして用いることができる。

【0030】 また、1 ステージあたり n クロックのパイプラインとすることにより検索キー抽出回路 12、CAM 13 での検索処理が 1 パケットあたり 1 回の検索に限らずに複数回の検索を行うことができ、1 つのパケットに対して単一の処理ではなく複数の処理を実行する、あるいは複数の検索を通じて優先度を付けてある一種類の検索情報を得て、それに対する処理を実行することができる。また、複数のテーブルを 1 つの CAM 13 に実装し、1 つの回路で制御、検索することが可能であり、回路規模を削減できる。

【0031】 図 3 は本発明の第 2 の実施の形態に係るパケット処理装置のブロック図で、図 1 と同一部分には同一符号を付している。また、図 4 は、図 3 に示すパケット処理装置のタイミング図である。本第 2 の実施の形態では、パケットを受信してパケット入力回路 11 に出力する処理タイミング調整用のバッファ手段としての入力バッファ 18 およびパケット出力回路 17 からパケットを受信して出力する処理タイミング調整用のバッファ手段としての出力バッファ 19 を備えている点で、前記第 1 の実施の形態と相違している。

【0032】 本第 2 の実施の形態では、入力バッファ 18 へ入力されるパケットの周期や出力バッファ 19 から出力されるパケットの周期よりも、パケット入力回路 11 からパケット出力回路 17 のパイプラインステージが短い周期となっており、そのために入力バッファ 18 と出力バッファ 19 を実装し、伝送路 1、2 との間で送受信するパケットの周期と、パケット処理装置における処理タイミングの調整を行っている。

【0033】 このように、パケット処理装置内部のパイプラインサイクルを、外部から到着するパケットの周期よりも短くすることにより、パケット処理装置内部で何の処理もせずにすむ空き時間（図 4 の「M」）を作ることができる。ここでできた空き時間を利用して、複雑な競合制御を行うことなく CAM 13 や検索情報格納メモリ 15 のデータ更新を行うことができる。

【0034】 そのタイミング図の一例が図 4 となるが、ここでは、入力バッファ 18 に入力されるセル周期と出

力バッファ 19 から出力されるセル周期は共に等しく、且つ、入力バッファ 18 に入力されるセル周期及び出力バッファ 19 から出力されるセル周期の $4/5$ の周期で、バケット入力回路 11 からバケット出力回路 17 に至るパイプライン処理が実行されている。

【0035】従って仮に入力バッファ 18 や出力バッファ 19 のサイクルで連続的にセルが到着しても、バケット入力回路 11 からバケット出力回路 17 のステージについては、5 サイクルに 1 サイクルは必ず処理を行わなくてよいステージが存在することになり、ここで CAM 13 や検索情報格納メモリ 15 のメンテナンスを複雑な競合制御をすることなく行うことが可能となる。

【0036】図 5 は本発明の第 3 の実施の形態に係るバケット処理装置のブロック図で、図 1 と同一部分には同一符号を付している。本第 3 の実施の形態では、バケット入力回路 11 と検索キー抽出回路 12 のステージの間に演算処理回路 110 を設けている点で、前記第 1 の実施の形態と相違している。

【0037】前記第 1、第 2 の実施例では可変長バケットを受信した際に先頭セルだけを処理する事としていたが、ルータ等においては例えばバケットの暗号化のようにバケット全体に渡って所定の演算をしなければいけないようなこともありえる。そのために演算処理回路 110 を設け、演算処理回路 110 に関しては先頭セルだけでなく、他のセルに対しても、ある所定の演算処理を実行する。ここで、バケットに対する所定の演算処理の例としては、例えば、イーサネットのバケットの最後に FCS (Frame Check Sequence) を付ける処理がある。これにより、可変長バケット全体に渡ってある演算処理を実行したい場合にも対応することが可能となる。

【0038】図 6 は本発明の第 4 の実施の形態に係るバケット処理装置のブロック図で、図 3 と同一部分には同一符号を付している。本第 4 の実施の形態では、演算処理回路 110 を、検索情報受信回路 16 とバケット出力回路 17 との間に設けている点で、前記第 3 の実施の形態と相違している。前記第 3 の実施の形態では、更新前のバケット全体に対して所定の演算が実行できるが、本第 4 の実施の形態では、検索情報受信回路 16 によるヘッダ情報の更新後にバケット全体に対して所定の演算処理が実行できる点が異なる。ここで、前記所定の演算処理の例としては、前述したように例えば、イーサネットのバケットの最後に FCS (Frame Check Sequence) を付ける処理がある。これにより、可変長バケット全体に渡ってある演算処理を実行したい場合にも対応することが可能となる。

【0039】図 7 は本発明の第 5 の実施の形態に係るバケット処理装置のブロック図で、図 1、図 3、図 5、図

6 と同一部分には同一符号を付している。本第 5 の実施の形態は、第 2 ～第 4 の実施の形態の構成要素を全て組み込んだ構成のものであり、CAM 13 や検索情報格納メモリ 15 のメンテナンスを、複雑な競合制御をすることなく行うことが可能になる。

【0040】また、前記第 3 ～第 5 の実施の形態のように、バケット入力回路 11 の後段とバケット出力回路 17 の前段の少なくとも一方に、セルに対する所定の処理を行うことによって、バケット全体にわたって所定の処理（例えば、暗号化処理あるいは FCS の挿入処理）を行う演算処理回路 110 を備えることにより、受信時のバケット全体に対して特定の演算処理行ったり、ヘッダ情報更新後にバケット全体に対して所定の演算処理が実行できるようになる。

【0041】

【発明の効果】本発明によれば、バケットの宛先解決等の処理を、簡単な構成で、高速に行なうことが可能になる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態に係るバケット処理装置のブロック図である。

【図 2】 本発明の第 1 の実施の形態に係るバケット処理装置のタイミング図である。

【図 3】 本発明の第 2 の実施の形態に係るバケット処理装置のブロック図である。

【図 4】 本発明の第 2 の実施の形態に係るバケット処理装置のタイミング図である。

【図 5】 本発明の第 3 の実施の形態に係るバケット処理装置のブロック図である。

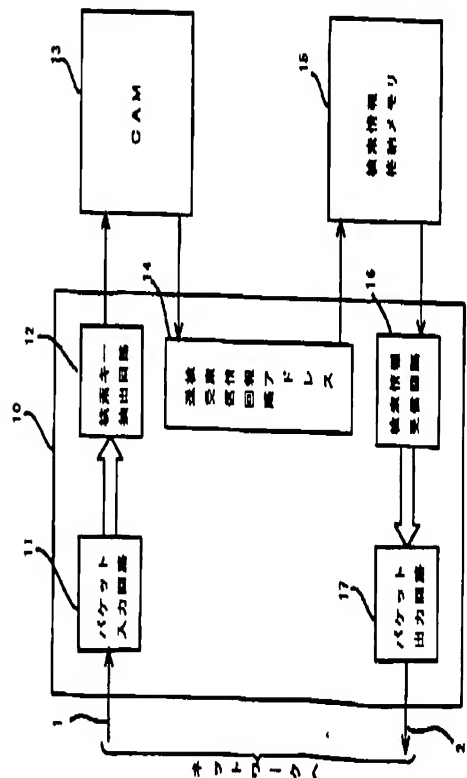
【図 6】 本発明の第 4 の実施の形態に係るバケット処理装置のブロック図である。

【図 7】 本発明の第 5 の実施の形態に係るバケット処理装置のブロック図である。

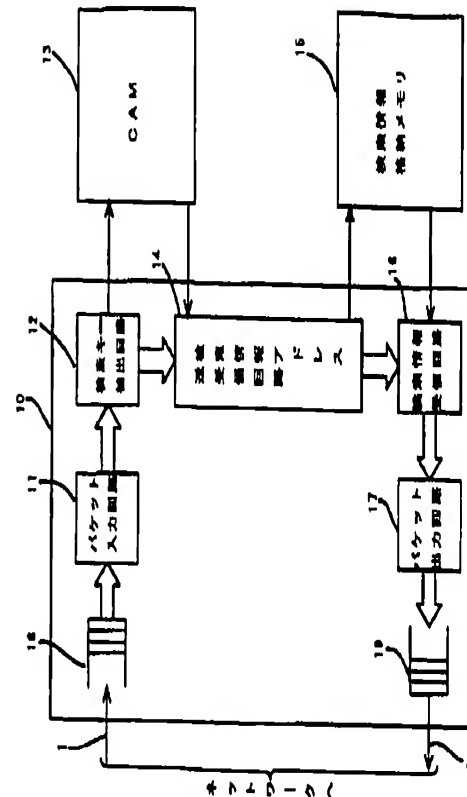
【符号の説明】

10・・・バケット処理手段としてのバケット処理部
11・・・バケット受信手段としてのバケット入力回路
12・・・検索キー抽出手段としての検索キー抽出回路
13・・・CAM
14・・・検索情報読み出し手段としての検索情報アドレス送受信回路
15・・・検索情報記憶手段としての検索情報格納メモリ
16・・・宛先解決手段としての検索情報受信回路
17・・・バケット出力手段としてのバケット出力回路
18・・・入力バッファ手段としての入力バッファ回路
19・・・出力バッファ手段としての出力バッファ回路
110・・・演算処理手段としての演算処理回路

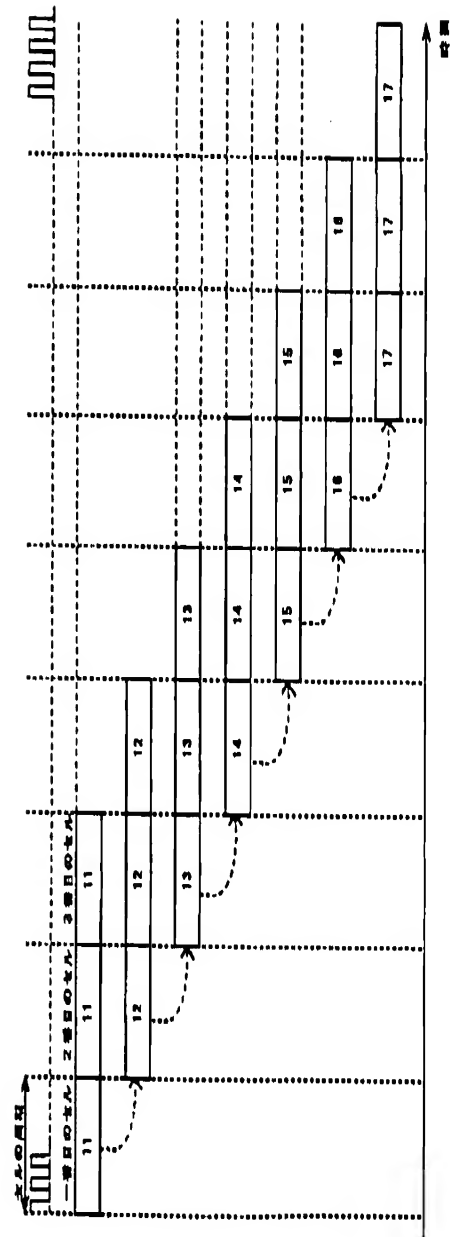
【図 1】



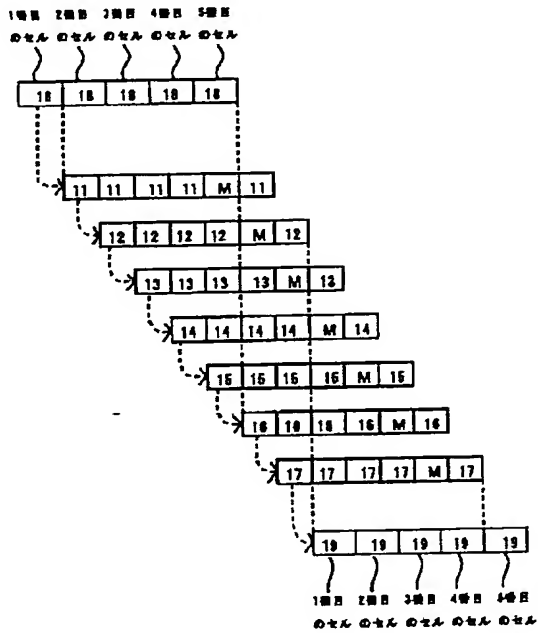
【図 3】



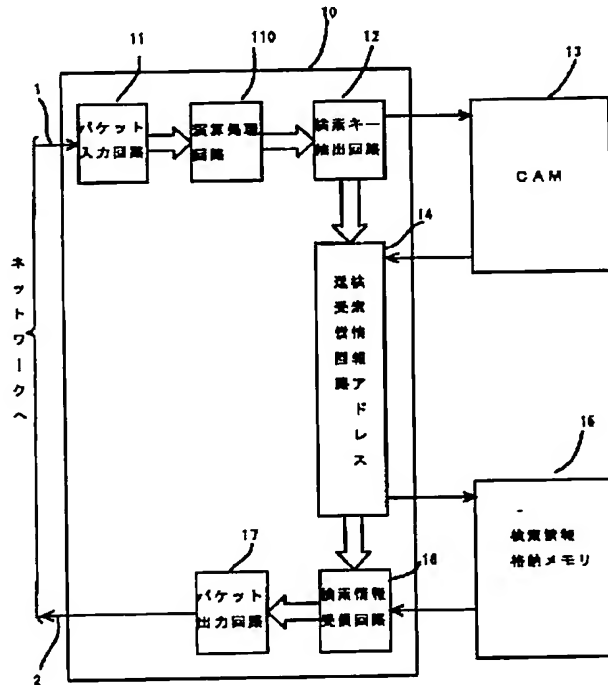
【図 2】



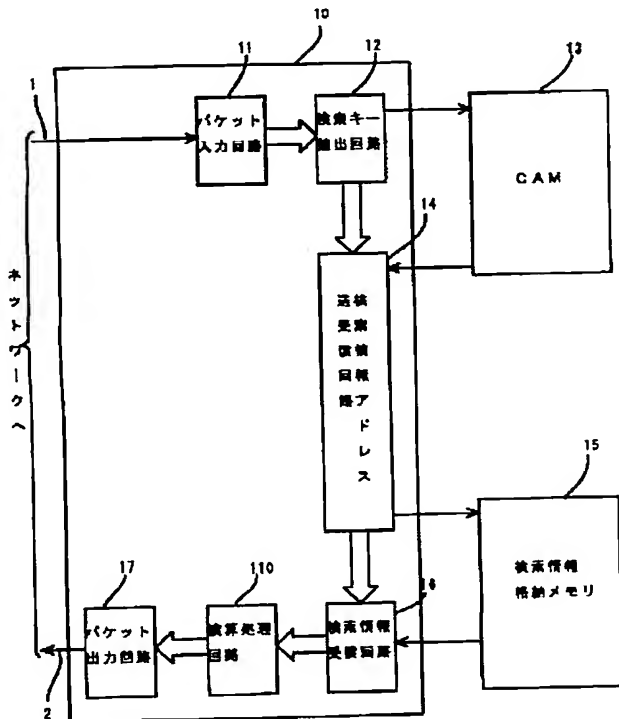
【図4】



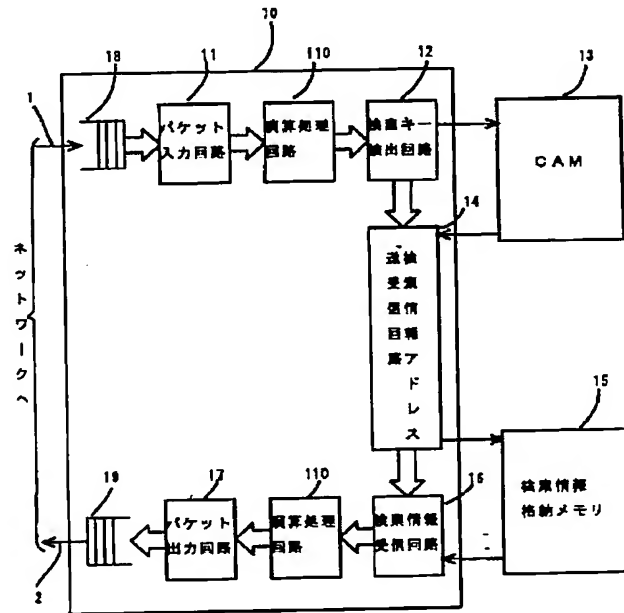
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 鎮目 大

神奈川県川崎市中原区下沼部1730 日本電
気株式会社NECネットワークス第一光ネ
ットワーク事業部内

(72)発明者 生貝 康行

千葉県我孫子市日の出1131 日本電気株式
会社NECネットワークスIPネットワー
ク事業部内

Fターム(参考) 5K030 GA03 HA08 HB21 HB28 HC01
HC14 HD03 HD07 HD09 JA11
KA05 LB07 LB18 LE09 MA04
5K033 AA02 BA04 CB09 CC02 DA05
DB03 DB18 EC04